


**Reduced mask process for manufacture of MOS gated devices**

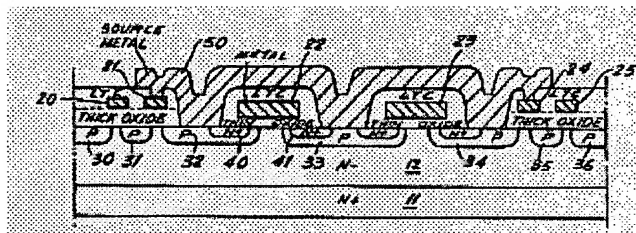
**Patent number:** DE19547756  
**Publication date:** 1996-08-22  
**Inventor:** KINZER DANIEL M (US); AJIT JANARDHANAN S (US)  
**Applicant:** INT RECTIFIER CORP (US)  
**Classification:**  
- international: H01L21/336; H01L29/423  
- european: H01L21/336B2, H01L29/06B2B2, H01L29/06B2B2C, H01L29/06B2B3B, H01L29/10G, H01L29/78B2  
**Application number:** DE19951047756 19951220  
**Priority number(s):** US19950390099 19950217

**Also published as:**

 US5474946 (A1)  
JP8250512 (A)  
GB2298086 (A)  
FR2730859 (A1)

Abstract not available for DE19547756  
Abstract of correspondent: **US5474946**

A process for forming a MOS gated device in which an oxide layer is patterned to have adjacent thick and thin oxide layers atop a silicon surface. Polysilicon is then patterned atop the oxide layer with a critical alignment step to the thin oxide layers in the process. Boron is implanted through both the thick and thin regions of the oxide which are exposed by the polysilicon mask to form P type base regions and P type guard rings in the silicon. Arsenic is thereafter implanted at an energy at which arsenic atoms penetrate only the thin oxide exposed by the polysilicon to form self-aligned source regions in the base regions previously formed. A contact opening mask which is critically aligned to the polysilicon mask forms openings for making contact to the silicon. The device is completed using non-critical alignment masking steps.



Data supplied from the esp@cenet database - Worldwide



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑩ DE 195 47 756 A 1

⑤ Int. Cl.<sup>8</sup>:  
H 01 L 21/336  
H 01 L 29/423

⑲ Aktenzeichen: 195 47 756.1  
⑳ Anmeldetag: 20. 12. 85  
㉔ Offenlegungstag: 22. 8. 96

DE 195 47 756 A 1

③① Unionspriorität: ③② ③③ ③④  
17.02.95 US 390099

⑦① Anmelder:  
International Rectifier Corp., El Segundo, Calif., US

⑦④ Vertreter:  
G. Koch und Kollegen, 80339 München

⑦② Erfinder:  
Ajit, Janardhanan S., Redondo Beach, Calif., US;  
Kinzer, Daniel M., El Segundo, Calif., US

⑤④ Verfahren zur Herstellung von MOS-Gate-gesteuerten Bauteilen

⑤⑦ Bei einem Verfahren zur Herstellung eines MOS-Gate-gesteuerten Bauteils wird eine Oxydschicht mit einem derartigen Muster versehen, daß sie benachbarte dicke und dünne Oxydschichten über einer Siliziumoberfläche aufweist. Polysilizium wird in einem Muster über der Oxydschicht in einem kritischen Ausrichtschritt auf die dünnen Oxydschichten aufgebracht. Bor wird durch sowohl die dicken als auch die dünnen Bereiche des Oxyds hindurch implantiert, die von der Polysilizium-Maske nicht abgedeckt werden, um Basisbereiche vom P-Leitungstyp und Schutzringe vom P-Leitungstyp in dem Silizium auszubilden. Danach wird Arsen mit einer Energie implantiert, bei der die Arsenatome lediglich das dünne Oxyd durchdringen, das nicht von Polysilizium bedeckt ist, um selbstausgerichtete Sourcebereiche in den vorher ausgebildeten Basisbereichen zu bilden. Eine Kontaktöffnungsmaske, die kritisch mit der Polysilizium-Maske ausgerichtet ist, bildet Öffnungen zur Herstellung von Kontakten mit dem Silizium. Das Bauteil wird unter Verwendung von eine unkritische Ausrichtung aufweisenden Maskierungsschritten fertiggestellt.

DE 195 47 756 A 1

## Beschreibung

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung von MOS-Gate-gesteuerten Bauteilen der im Oberbegriff des Patentanspruchs 1 genannten Art.

MOS-Gate-gesteuerte Bauteile, wie z. B. Leistungs-MOSFET's, ein isoliertes Gate aufweisende bipolare Transistoren (IGBT) und MOS-Gate-gesteuerte Thyristoren sind gut bekannt. Das für die Herstellung dieser Bauteile verwendete Verfahren verwendet eine Folge von Maskierungsschritten, bei denen viele der Masken sorgfältig und in kritischer Weise bezüglich einander ausgerichtet werden müssen. Jede Maskenschicht in einem Verfahren vergrößert die Herstellungskosten, und jeder Maskierungsschritt führt eine neue mögliche Fehlerquelle ein. Weiterhin trägt auch die Notwendigkeit der Ausrichtung mehrerer Masken mit kritischer Genauigkeit relativ zueinander zu den Herstellungskosten bei und führt die Möglichkeit zusätzlicher Herstellungsfehler ein.

Ein Verfahren zur Herstellung derartiger Bauteile, das eine verringerte Anzahl von Masken und eine verringerte Anzahl von kritischen Ausrichtungen zwischen einzelnen Masken verwendet, ist wünschenswert, weil hierdurch die Anzahl der Halbleiter-Handhabungsvorgänge, mögliche Fehler und die Kosten für einzelne Halbleiterplättchen in einer Halbleiterscheibe verringert werden.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren der eingangs genannten Art zu schaffen, bei dem eine geringere Anzahl von Masken für die Herstellung derartiger Bauteile erforderlich ist, wobei insbesondere die Anzahl der mit kritischer Genauigkeit zueinander auszurichtenden Masken verringert ist.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Bei dem erfindungsgemäßen Verfahren wird die Anzahl der erforderlichen Masken und insbesondere die Anzahl der kritisch gegeneinander auszurichtenden Masken dadurch verringert, daß die unterschiedlichen Implantations-Reichweiten bestimmter N- und P-Fremdatome oder Dotierungsmittel ausgenutzt werden, um ein Grenzschichtmuster mit einer geringeren Anzahl von Maskierungsschritten, beispielsweise lediglich zwei kritischen Maskenausrichtvorgängen herzustellen.

Bei dem erfindungsgemäßen Verfahren wird eine Oxydschicht mit benachbarten dünnen und dicken Bereichen in einem ersten Maskierungsschritt gebildet. Eine mit einem kritisch ausgerichteten Muster versehene Polysilizium-Schicht wird in einem zweiten Maskierungsschritt ausgebildet, um in genauer Weise Polysiliziumschichten in vorgegebenen Bereichen des dünnen Oxyds abzuscheiden, das dann zum Gateoxyd des MOS-Gate-gesteuerten Bauteils wird. Eine erste Dotierungsmittelart wird dann durch sowohl das dünne als auch das dicke Oxyd hindurch implantiert, das von dem mit einem Muster versehenen Polysilizium freigelassen wird, um mit Abstand angeordnete Basisbereiche zu bilden. Eine zweite Dotierungsmittelart wird nachfolgend mit einer Energie implantiert, die ausreicht, um lediglich die dünneren, zwischen den Rändern des Polysiliziums und den Rändern des dickeren Oxyds freiliegenden Oxydbereiche zu durchdringen, nicht jedoch das freiliegende dickere Oxyd, um Sourcebereiche in den Basisbereichen mit kritischer Ausrichtung zu bilden. Nachdem die Basisbereiche und die Sourcebereiche in der vorstehend

beschriebenen Weise ausgebildet wurden, wird ein Maskierungsschritt ausgeführt, der Kontaktfenster in einem Niedrigtemperatur-Oxyd ausbildet, das die Halbleiterscheibenoberfläche bedeckt. Diese Maske ist in kritischer Weise mit der Polysilizium-Maske ausgerichtet.

Es sei darauf hingewiesen, daß dieser Schritt lediglich zwei eine kritische Ausrichtung erfordernde Maskierungsschritte aufweist, wie dies weiter oben beschrieben wurde. Der erste Schritt ist die Ausrichtung der Polysilizium-Maske mit der vorhergehenden Maske, die die dünnen und dicken Oxydbereiche festlegte. Der zweite kritische Ausrichtungsschritt ist die Ausrichtung der Kontaktfenstermaske mit der vorhergehenden Polysilizium-Maske.

Eine Vielzahl von in Serie geschalteten PMOS-Bauteilen kann während der vorstehend beschriebenen Verfahrensschritte ausgebildet werden, um einen Abschluß zu bilden, der den aktiven Bereich des Bauteils umgibt. Im einzelnen werden zur Herstellung von Halbleiterbauteilen Masken verwendet, um jede der verschiedenen Schichten zu bilden, die für die Funktionsweise der Halbleiterbauteile erforderlich sind. Bei der vorliegenden Erfindung bildet im Ergebnis eine einzige Maske zwei Schichten aus. Wenn als Beispiel ein vertikaler N-Kanal-Leistungs-MOSFET verwendet wird, so besteht dieser vertikale N-Kanal-Leistungs-MOSFET grundlegend aus zwei eindiffundierten Bereichen: einem flachen  $N^+$ -Bereich und einem tieferen P-Hauptteilbereich. Die Reichweite von Bor (einem Dotierungsmittel vom P-Typ) in Siliziumdioxid entspricht ungefähr der fünf fachen Reichweite von Arsen (einem Dotierungsmittel vom N-Leitungstyp). Eine Oxyddicke von 3000 Å kann von einer Borimplantation von mehr als ungefähr 80 KeV durchdrungen werden, während sie eine Maske gegen eine Arsen-Implantation mit weniger als ungefähr 120 KeV darstellen würde. Gemäß der Erfindung wird diese Eigenschaft dazu ausgenutzt, sowohl die P-Körper- als auch die  $N^+$ -Bereiche unter Verwendung einer einzigen Oxydschicht- und Polysilizium-Maske auszubilden (wobei die Source-Maske fortfallen kann). Das Verfahren zur Herstellung des Bauteils verwendet dann eine weitere kritische Maske, um alle Kontaktbereiche festzulegen. Diese Maske und die Maske zur Festlegung des Polysilizium-Musters sind die einzigen beiden Masken, die eine kritische oder eine hohe Genauigkeit aufweisende Ausrichtung erfordern.

Ausführungsbeispiele der Erfindung werden im folgenden anhand der Zeichnungen noch näher erläutert.

In der Zeichnung zeigen:

Fig. 1 eine Querschnittsansicht eines kleinen Abschnittes einer Halbleiterscheibe nach einem ersten Maskierungsschritt und der Ausbildung eines Musters von dünnen und dicken Oxyden,

Fig. 2 den Halbleiterscheiben-Abschnitt nach Fig. 1, nachdem eine zweite Maske zur Formung einer Polysiliziumschicht mit kritischer Ausrichtung zur ersten Maske verwendet wurde,

Fig. 3 den Halbleiterscheiben-Abschnitt nach Fig. 2 nach der Implantation eines Basisbereiches durch die freiliegenden dicken und dünnen Oxydbereiche und dem Eintreiben der Basisbereiche des Halbleiterbauteils,

Fig. 4 den Halbleiterscheiben-Abschnitt nach Fig. 3 nach der Implantation der Source-Bereiche lediglich durch das freiliegende dünne Oxyd zur Bildung von Sourcebereichen sowie nach der Wärmebehandlung dieser Bereiche,

Fig. 5 den Halbleiterscheiben-Abschnitt nach Fig. 4

nach der Abscheidung einer Oxyd-Zwischenschicht und der Ausbildung von Kontaktfenstern durch eine Maske, die mit kritischer Genauigkeit gegenüber der Polysilizium-Maske ausgerichtet ist,

Fig. 6 den Halbleiterscheiben-Abschnitt nach Fig. 5 nach der Abscheidung der Source-Metallschicht und der Formgebung dieser Source-Metallschicht mit Hilfe eines unkritischen Maskierungsschrittes,

Fig. 7 die Verwendung von in Serie geschalteten PMOS-Bauteilen als Abschluß für das beschriebene Halbleiterbauteil,

Fig. 8 die Verwendung von schwimmenden Feldrinnen mit Feldplatten als Abschluß für das beschriebene Halbleiterbauteil.

In Fig. 1 ist ein kleiner Abschnitt einer monokristallinen Halbleiterscheibe 10 mit einem relativ dicken Substratabschnitt 11 und einem relativ dünnen epitaxial abgeschiedenen Abschnitt 12 gezeigt. Die Bereiche 11 und 12 sind in Form des N-Leitungstyps für die Herstellung eines N-Kanal-Bauteils dargestellt, doch können die Leitungstypen umgekehrt werden, um eine P-Kanal-Bauteil zu bilden.

Die vorliegende Erfindung kann weiterhin in Verbindung mit irgendeiner gewünschten Topologie des Bauteils verwendet werden, wie z. B. einer zellenförmigen Topologie, wie sie in dem US-Patent 5 008 725 beschrieben ist, oder mit einer fingerförmig verschachtelten Topologie, wie sie in dem US-Patent 4 376 286 gezeigt ist. Weiterhin kann die Erfindung für die Herstellung von irgendeiner gewünschten Art eines mit MOS-Gatesteuerung arbeitenden Bauteils verwendet werden, wie z. B. für Leistungs-MOSFET's, Leistungs-IGBT's, Thyristoren mit MOS-Gatesteuerung und dergleichen.

Bei der dargestellten Ausführungsform wird ein N-Kanal-Leistungs-MOSFET mit fingerartig ineinander verschachtelter Topologie verwendet. In Fig. 1 wird zunächst eine dicke Oxydschicht mit einer Dicke von ungefähr 3000 Å auf der epitaxialen Schicht 12 aufgewachsen. Dieses Oxyd wird dann mit einem Photoabdecklack bedeckt, der Photoabdecklack wird mit einem ersten (nicht gezeigten) Maskenmuster versehen, und das dicke Oxyd wird geätzt, wodurch dicke, mit Abstand angeordnete parallele Streifen 14, 15 und 16 gebildet werden. Es kann irgendeine Anzahl von Streifen 14, 15 und 16 verwendet werden, und sie können sich um vorgegebene parallele Pfade herum erstrecken. Diese Bereiche können weiterhin die Form von mit Abstand angeordneten geschlossenen Vielecken aufweisen.

Dünne Oxydstreifen 18 und 19 werden dann erneut auf der freiliegenden Siliziumoberfläche mit einer Dicke von beispielsweise bis zu 500 Å erneut zum Wachsen gebracht. Diese Bereiche 18 und 19 liegen zwischen den dicken Bereichen 14—15 bzw. 15—16. Teile der Bereiche 18 und 19 bilden schließlich das Gate-Oxyd für das Bauteil. Die dicken und dünnen Bereiche können andere Dicken als 3000 Å bzw. 500 Å aufweisen, und ihre Dicken sind auf der Grundlage der gewünschten Gate-Charakteristik, der zu implantierenden Ionen-Art zur Bildung der P- und N-Bereiche und der zu verwendenden Implantationsenergie ausgewählt.

Danach wird eine Schicht aus Polysilizium auf der Oberfläche des Bauteils gemäß Fig. 2 zum Aufwachsen gebracht, und ein Photoabdecklack wird auf dieser Schicht abgeschieden und mit Hilfe einer zweiten Maske mit einem Muster versehen, die in kritischer Weise (d. h. sehr genau) mit der ersten Maske ausgerichtet ist, die die Lage der dicken und dünnen Bereich 15, 16, 18 und 19 festlegte. Das Polysilizium wird dann geätzt, wo-

bei Streifen 20, 21, 22, 23, 24 und 25 an ihrem Platz verbleiben. Die Streifen 22 und 23 sind Gates für die herzustellenden Halbleiterbauteile mit MOS-Gatesteuerung, und sie sind hinsichtlich ihrer Lage genau in der Mitte oberhalb der dünnen Gateoxyd-Bereiche 18 und 19 festgelegt, wobei ein Spalt von ungefähr 2 µm zu den Seiten jeder der benachbarten dicken Oxydbereiche verbleibt und die Streifen eine Breite von 5 µm aufweisen.

Die Polysilizium-Streifen 20-21 und 24-25 sind jeweils durch einen Spalt von ungefähr 3 µm getrennt. Die Streifen 20, 21, 24 und 25 und andere nicht beschriebene benachbarte Streifen bilden Schutzringe und Diffusionen, wie dies weiter unten gezeigt wird.

Danach wird gemäß Fig. 3 eine Borimplantation ausgeführt, wobei die Polysiliziumstreifen 20 bis 25 als Maske verwendet werden und eine ausreichende Energie verwendet wird, um sowohl die dünnen als auch die dicken freiliegenden Oxydschichten 14, 15, 16, 18 und 19 zu durchdringen. Beispielsweise kann eine Bor-Implantation mit einer Energie von ungefähr 80 KeV oder höher mit einer Dosis von  $7 \times 10^{13} \text{ cm}^{-2}$  verwendet werden. Es könnten alternativ andere Dotierungsmittelarten als Bor ausgewählt werden. Die für die Implantation verwendete Energie wird teilweise durch die Dicke des dicken Oxyds bestimmt. Auf diese Implantation folgt ein in Fig. 3 gezeigter Eintreisschritt bei 1175°C über 30 Minuten, um die Bereiche 30 bis 36 vom P-Leitungstyp zu bilden. Es sei bemerkt, daß die Bereiche 30, 31, 35 und 36 Schnitte durch Schutzringe sind, die die aktiven Basisbereiche 32 und 34 abschließen.

Danach wird in der in Fig. 4 gezeigten Weise Arsen in die Siliziumoberfläche implantiert, wobei die gleichen Polysilizium-Streifen 20 bis 25 als Masken verwendet werden. Die für das Arsen-Implantationsmittel (oder irgendeine andere ausgewählte Art von Implantations- oder Dotierungsmittel) ausgewählte Energie reicht aus, die dünnen freiliegenden Gateoxyd-Schichten 18 und 19 zu durchdringen, wird jedoch durch die dickeren freiliegenden Oxydbereiche blockiert. Arsen mit einer Energie von 80 KeV und einer Dosis von  $1 \times 10^{16}$  erreicht das darunterliegende Silizium und bildet N<sup>+</sup>-Source-Streifen 40, 41, 42 und 43 in den Basisbereichen 32, 33 und 34.

Als nächstes wird, wie dies in Fig. 5 gezeigt ist, eine Schicht aus Niedrigtemperatur-Oxyd (LTO) 50 über der Halbleiterscheibe nach Fig. 4 mit einer Dicke von ungefähr 7000 Å abgeschieden. Die LTO wird dann in einem zweiten kritischen Maskierungsschritt (gegenüber der Polysiliziummaske) mit einem Muster versehen, um Kontaktfenster 60 bis 64 zu bilden. Die Fenster 60 und 64 legen die Oberflächen der Ringe 21 und 24 frei, die Fenster 61 und 63 legen die Oberflächen der P-Bereiche 32 bzw. 34 unter Source-Bereich 40 bzw. 43 frei, und das Fenster 62 legt die Oberflächen der Basis 33 und der Source-Bereiche 41 und 42 frei.

Es sei darauf hingewiesen, daß wenn die Topologie des Bauteils nach Fig. 5 so gewählt ist, daß sie ringförmig ist, die Basis 33 eine vieleckige Form aufweisen kann, wobei die Source-Bereiche 41 und 42 Schnitte durch einen einzigen kreisringförmigen Sourcebereich sind, während die Basisbereiche 32 und 34 Schnitte durch eine einzige Basis sind, die konzentrisch zur Basis 33 ist, und wobei die Ringe 31 und 35 Schnitte durch einen einzigen Ring sind, der ebenfalls konzentrisch zur Basis 33 ist.

Danach wird gemäß Fig. 6 ein Source-Metall 50 auf der Oberfläche des Bauteils nach Fig. 5 abgeschieden, um einen Kontakt mit den den aktiven Bereich des

Bauteils abschließenden Ringen 21 und 24 und den Basisbereichen 32, 33 und 34 bzw. deren Sourcebereichen 40, 41 bis 42 und 43 herzustellen. Danach wird unter Verwendung eines vierten, jedoch unkritischen, Maskierungsschrittes ein Metallmuster ausgebildet.

Fig. 7 zeigt die Verwendung einer Vielzahl von in Serie geschalteten PMOS-Bauteilen, die dazu verwendet werden können, den aktiven Bereich des Bauteils nach Fig. 6 abzuschließen. Diese Ringe werden während der gleichen Schritte ausgebildet, die zur Ausbildung des aktiven Bereichs des Bauteils verwendet werden.

So wird in Fig. 7 eine Polysilizium-Feldplatte 70, die den aktiven Bereich umgeben kann, während des Polysilizium-Ätzschruttes ausgebildet. Eine Gate-Sammelschiene 71 wird an der Platte 70 angebracht, wobei diese Platte mit dem vollen Polysilizium-Gatebereich in dem aktiven Bereich kontinuierlich ausgebildet ist. Polysilizium-Ringe 80, 81 und 82 können ebenfalls während des Polysilizium-Ätzschruttes für das aktive Bauteil ausgebildet werden. Ringe 90 bis 93 vom P-Leitungstyp werden während des Schrittes nach Fig. 3 eindiffundiert und durch die Polysilizium-Muster 70, 80, 81 und 82 definiert. Kleine Kontakte, die schematisch durch die gestrichelten Linien 95, 96 und 97 gezeigt sind, verbinden die P-Bereich 90, 91 und 92 mit den Gates 80, 81 und 82 der drei gezeigten PMOS-Bauteile, wodurch die Source- und Gate-Elektroden jedes PMOS-Bauteils kurz geschlossen werden. Daher werden die Schwellenwertspannungen der drei PMOS-Bauteile in Serie geschaltet, um das Bauteil abzuschließen. Es kann irgendeine gewünschte Anzahl von PMOS-Bauteilen verwendet werden, wie dies für die abzuschließende Spannung erforderlich ist.

Die Anordnung nach Fig. 7 zeigt eine Abschlußstruktur, bei der die Ringe oder Streifen 90, 91 und 92 kurzgeschlossen sind, um die Spannung auf die Schwellenwertspannungen des Bauteils zu begrenzen. Fig. 8 zeigt eine andere Abschlußstruktur, bei der jeder der Polysilizium-Ringe 80, 81 und 82 mit dem nächsten P-Ring 91, 92 bzw. 93 rechts von ihm kurzgeschlossen ist, wobei die Spannung auf die Durchgreifspannung zwischen den P-Ringen begrenzt wird und die PMOS-Bauteile in Sperrichtung vorgespannt werden. Kleine Kontakte, die in Fig. 8 schematisch durch gestrichelte Linien 195, 196 und 197 dargestellt sind, verbinden die P-Bereiche 91, 92 und 93 mit Polysilizium-Feldringen 80, 81 und 82. Es kann weiterhin eine Kombination der vorstehenden beiden Abschlußstrukturen verwendet werden.

Die verwendeten Kurzschlußkontakte sind vorzugsweise lediglich in geringer Anzahl mit Abstand voneinander um die Ringe herum verteilt, und die Kontaktstellen werden während des Kontaktöffnungs-Maskierungsschrittes ausgebildet. Entsprechend können eine kleine Fläche aufweisende Kontakte 95, 96 und 97 in einer Ecke eines rechtwinkligen Halbleiterplättchens angeordnet werden. Die eine kleine Fläche aufweisenden Kontakte 95, 96 und 97 können während des Metall-Maskierungsschrittes von dem Source-Metall getrennt werden.

#### Patentansprüche

1. Verfahren zur Herstellung eines MOS-Gate-gesteuerten Halbleiterbauteils, dadurch gekennzeichnet, daß das Verfahren folgende Schritte umfaßt:

(a) Ausbildung einer Isolierschicht oberhalb ei-

ner Hauptoberfläche einer Silizium-Halbleiterschleibe,

(b) Ausbildung eines Musters in der Isolierschicht in einem ersten Maskierungsschritt zur Ausbildung zumindestens eines ersten Bereiches, der dicker ist als zumindestens ein verdickter zweiter Bereich benachbart zu dem ersten Bereich,

(c) Abscheiden einer Schicht aus Polysilizium über der Isolierschicht und Ausbildung eines Musters in der Polysiliziumschicht in einem zweiten Maskierungsschritt, um einen dritten Bereich abzudecken und zu maskieren und um einen vierten Bereich des zweiten Bereiches freizulegen,

(d) Implantieren von Atomen einer ersten Art von Dotierungsmittel mit einer Energie, die ausreicht, um sowohl die ersten und zweiten Isolationsbereiche zu durchdringen, und Eindiffundieren der implantierten Atome der ersten Dotierungsmittelart zur Ausbildung zumindestens eines Basisbereiches in der Siliziumhalbleiterschleibe in einem Bereich, der von dem mit dem Muster versehenen Polysilizium freigelassen wird,

(e) Implantieren von Atomen einer zweiten Art von Dotierungsmittel mit einer Energie, die ausreicht, um den zweiten Isolationsbereich zu durchdringen, die jedoch nicht ausreicht, um den ersten Isolationsbereich zu durchdringen, wodurch zumindestens ein Sourcebereich in dem zumindestens einen Basisbereich ausgebildet wird,

(f) nachfolgendes Ausbilden eines Source-Kontaktes, der mit zumindestens einem Sourcebereich und zumindestens einem Basisbereich in Kontakt steht.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Isolierschicht aus Siliziumdioxid besteht.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß eine Vielzahl von benachbarten ersten und zweiten Bereichen in der Isolierschicht ausgebildet wird, um abschließend eine Vielzahl von benachbarten jeweiligen Basisbereichen und Sourcebereichen zu definieren.

4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß der erste Bereich eine Dicke von ungefähr 2500 Å aufweist und daß der zweite Bereich eine Dicke von weniger als ungefähr 1000 Å aufweist.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die erste Dotierungsmittelart Bor ist und daß die zweite Dotierungsmittelart Arsen ist.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die Implantationsenergie von Bor größer als ungefähr 80 KeV ist, während die Implantationsenergie von Arsen kleiner als ungefähr 80 KeV ist.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß das Verfahren weiterhin den Schritt der Abscheidung einer Schicht aus Niedrigtemperatur-Oxyd nach dem Schritt (e) und die Ausbildung eines Musters in dieser Schicht in einem Ausrichtmaskierungsschritt umfaßt, um zumindestens Teile der Basis- und Source-Bereiche vor der Ausbildung des Source-Kontaktes freizulegen.

gen.  
8. Verfahren nach einem der Ansprüche 1 bis 7,  
dadurch gekennzeichnet, daß ein Teil der mit einem  
Muster versehenen Polysilizium-Schicht über ei-  
nem Teil des ersten Bereiches liegt, um einen weite- 5  
ren Bereich des ersten Bereiches freizulegen, um  
zumindestens eine Schutzring-Diffusion in der Sil-  
ziumoberfläche während der Ausbildung des Basis-  
bereiches zu definieren.

Hierzu 4 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

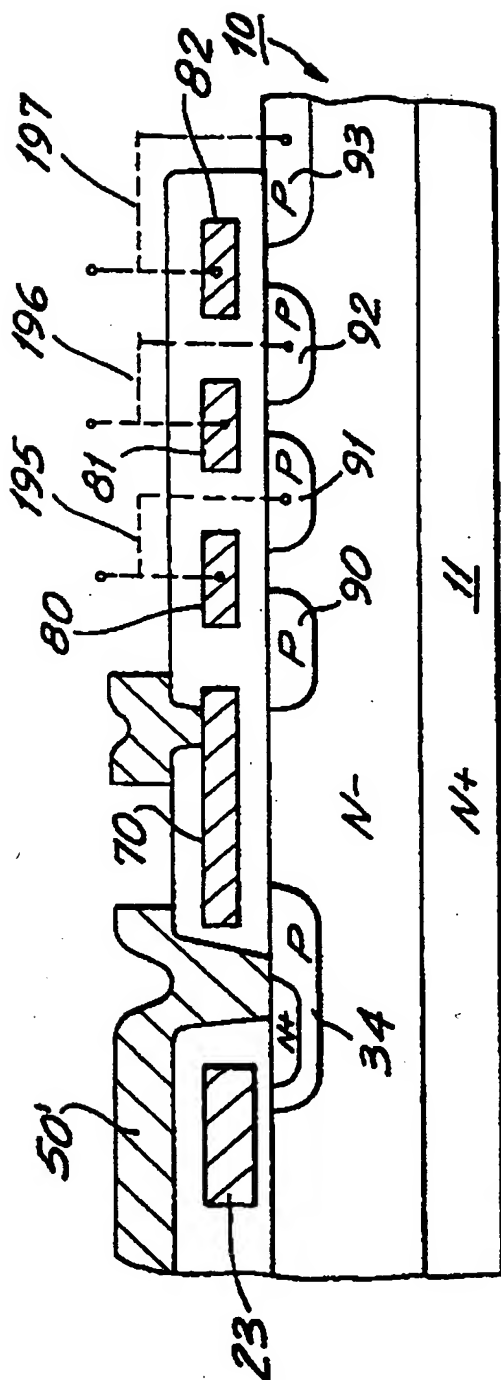
50

55

60

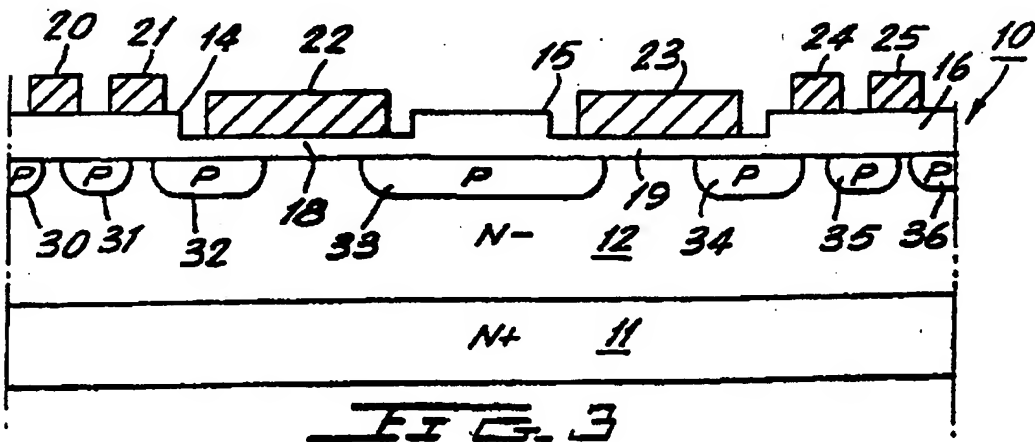
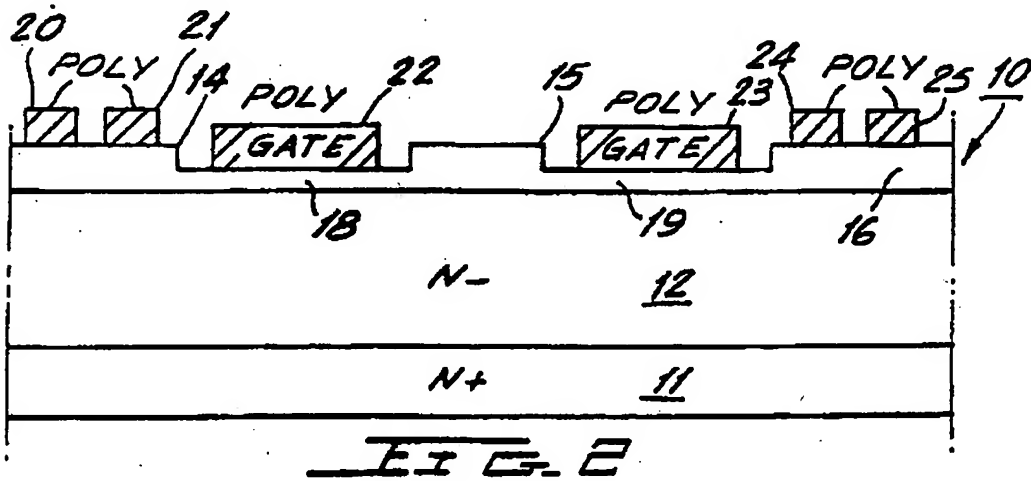
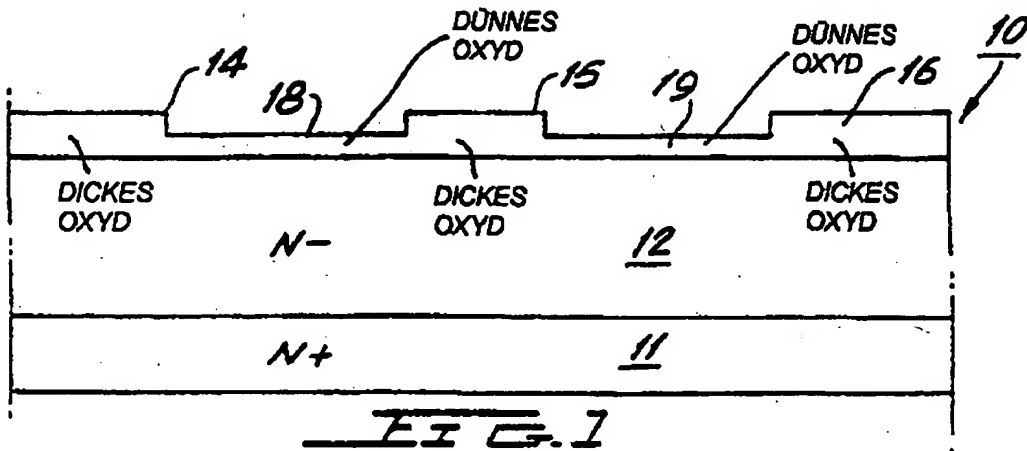
65

- Leerseite -



\*

FIG. 1



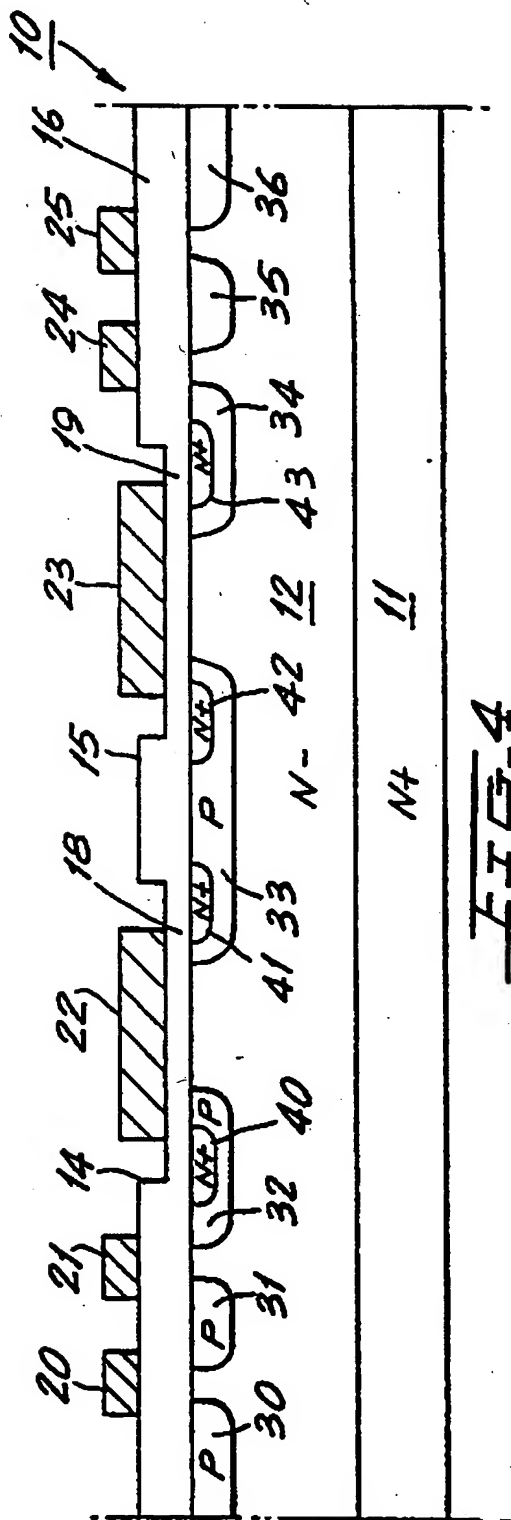


FIG. 4

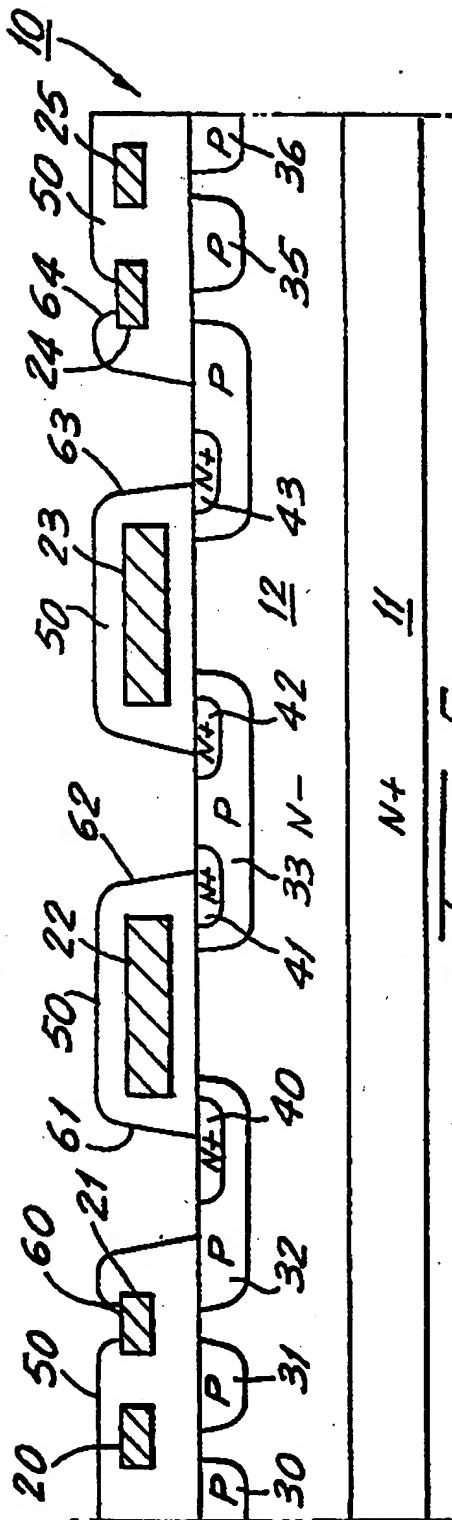


FIG. 5

